

## 智原科技與Cadence

智原科技SoC發展暨服務處處長吳坤城表示：「我們透過結合運用階層式方法與分割指引(partition guideline)，將3億閘設計的原型分析，從每個run需要兩個星期，縮短到僅需3至5天。」

### 關於客戶

智原科技是領先的ASIC設計服務暨矽智財(SIP)供應商。在全球ASIC/SoC設計服務領域中，該公司是少數同時累積與具備豐富IP資產和開發能力的廠商，可為客戶大幅降低整合的風險、成本、時間，加速設計流程。同時，也因為長期累積的IP開發經驗，智原亦具備從最基礎IP進行客製化的設計能力與彈性，以滿足客戶在功耗、尺寸、效能等方面的特殊需求。

從1993年成立迄今，智原已經成功為客戶設計出數千款晶片，平均全球每年出貨量達數億顆，應用範圍遍及各領域，包括消費性電子、視訊(安全監控)、音訊多媒體、平面顯示器、通訊、電腦週邊/存儲設備等。

隨著SoC高整合、高複雜趨勢的需求，智原更以專業與豐富的經驗，協助客戶端的设计人員，同時解決了在IP技術、IP整合、驗證，以及超越晶片層級的軟/硬體設計，在初始就將系統層級納入周延的考量與規畫，並運用智原所開發出來的SoC設計平台，在最具競爭力的時程內，將高品質與高可靠度的解決方案交付客戶。目前這些平台，已經累積了許多成功經驗，其中包括40奈米、3億閘級的高複雜SoC設計專案等。

### 設計挑戰

隨著雲端運算與物聯網時代的興起，將會有更多的人、裝置與數據會彼此互連，也因此，預期未來幾年業界對於功能強大的網路處理器的需求將持續攀升。智原於2011年承接了知名業者委託的4G基地台處理器晶片的設計專案，這是一顆邏輯閘數超過3億個的大型晶片，以晶片規模來看，是台灣的第一個案例。

### 市場挑戰

- 七個月內完成台灣第一顆邏輯閘數達3億個的複雜晶片設計
- 為更大規模的設計專案做準備，迎接市場挑戰與機會

### 設計挑戰

- 縮短驗證與分析流程
- 處理大型晶片設計的資料系統
- 掌握跨領域的異質整合技術

### Cadence方案

- First Encounter®設計開發與原型
- Encounter®數位設計實現
- Encounter Conformal® Equivalence Checker
- Incisive®驗證平台
- Sigrity®封裝與PCB訊號和電源完整性解決方案
- 驗證IP

### 結果

- 七個月內完成這顆複雜晶片從後段建置到投片的工作
- 從時序優化到RC擷取到SI分析，再到STA檢查的時間縮短在4天以內完成
- 實現了十倍的设计規模

此專案涵蓋從前端晶片設計，到後段建置與製造，充分考驗了智原對於大型專案的設計與管理能力。與一般消費市場常見的1200萬閘USB 3.0晶片、或是2500萬閘投影機晶片相比，這樣龐大的設計規模，其挑戰性是更高達數十倍的。

從這項專案呈現的幾個數字，就可以看出它的複雜度。此晶片共採用了超過100個內部開發和第三方的IP、有5個6G Serdes IP、FCBGA封裝的接腳數超過1000個、Process Corner超過20個。同時，為了達成7個月內完成後段建置投片成功的目標，必須確保每一個環節在執行上都能以最有效率的方式進行，以執行一次的時序收斂為例，從時序優化到RC擷取到SI分析再到STA檢查的時間必須縮短在4天以內完成。再以後段驗證工程為例，70GB的GDS檔案必須再兩天內完成所有實體驗證工作，從以上數字都可以看出工程端面臨的挑戰。

智原科技SoC發展暨服務處處長吳坤城表示：「我們遭遇的設計挑戰主要有三個層面，首先是處理超大資料容量的能力，其次是要有極高效率進行建置與驗證，同時，要能夠高度掌握跨領域的異質整合技術。」

## 智原科技研發處長廖國興表示：「我們採用UVM技術同時進行晶片的IP和系統級驗證。搭配Cadence針對介面、週邊與記憶體模型的驗證IP方案，讓我們在有高度信心下，完成了不同SoC晶片與IP產品驗證的需求，達成驗證收斂的目標。」

因應這樣的設計需求，吳坤城處長表示：「事先展開階層式(hierarchical)設計方法、在建置階段導入能顯著提升效率的設計流程，以及新的整合設計方法，是智原能夠克服這些挑戰的關鍵。而這其中，EDA工具的有效運用，扮演了相當重要的角色。」

### 解決方案

在這整個涵蓋從前段SoC設計到後段晶片建置的完整過程中，智原採用了Cadence的多項解決方案，包括驗證IP (VIP)、原型設計First Encounter®、Encounter®數位設計實現、Incisive®驗證平台、Encounter Conformal® Equivalence Checker以及Sigrity®封裝與PCB訊號和電源分析工具等。

負責前段設計的智原科技研發處長廖國興表示：「智原與客戶共同進行了前段的SoC設計工作，反覆討論了有關SoC架構、記憶體與效能等各種規格。由於這個晶片的規模與高複雜度，我們必須要讓客戶確信，SoC中的重要單元，能在矽晶建置時真正地發揮功能。」

「我們採用UVM技術同時進行晶片的IP和系統級驗證。搭配Cadence針對介面、週邊與記憶體模型的驗證IP方案，讓我們在有高度信心下，完成了不同SoC晶片與IP產品驗證的需求，達成驗證收斂的目標。」

進入後段設計後，智原首先需要解決的則是原型設計與可行性分析。吳坤城處長指出，「我們透過結合運用階層式方法與分割指引(partition guideline)，將3億閘設計的原型分析，從每個run需要兩個星期，縮短到僅需3至5天。」

智原是用Encounter進行Floorplan的分析，吳坤城處長表示，「對於後段設計來說，我們就是在跟時間賽跑，希望每一個run都能在最短時間內取得結果，並能立即修正錯誤。在設計過程中，Cadence團隊給予了我們許多的諮詢與協助，特別是它的即時支援，對智原來說是非常重要的。」

吳坤城處長指出，「舉例來說，此設計的top instance count有8M，若用optDesign指令執行，得耗時160小時，而改採optVirtual能有效縮短至16個小時。後來，透過我們進一步分割，將instance count降低為3.5M，再用optVirtual指令執行，時間可縮短至只需4個小時，達到了40倍的速度提升。」

「在Pre-CTS-opt階段也是一樣，在2011年時，Cadence最新的GigaOpt技術尚未就緒。但Cadence提供我們beta版功能AAE，亦即後來的GigaOpt指令，將執行時間從使用optDesign的72小時縮短為24小時，這也是顯著的效能提升。」

「我們當時常常與Cadence在美國的研發團隊開會，針對設計執行結果與功能建議，直接進行討論，期望能立即解決我們遭遇到的問題，Cadence展現出高度的配合度，這可說是雙方研發團隊緊密合作的一個最佳範例。」

### 達成結果

在秉持「分割、整合、效率」的三大原則下，智原成功地在7個月內實現了3億閘SoC投片，完成設計目標，並進入量產。另一方面，由於智原還提供此晶片的後段製造服務，因此從一開始就專注於從IC到封裝與PCB的協同設計環境建立，不僅顯著提升了前段的設計效率，並且能有效改善與提高製造良率。

除了前段功能驗證與後段佈局和繞線(Placement & Routing)設計外，透過結合智原專業的晶片設計能力，以及Cadence團隊的通力合作，在階層式形式驗證、IR-Drop分析、封裝與PCB電源分析上，智原也有效地縮短了數倍的设计時間。對智原來說，這是一次突破性的成功專案，並實現了十倍的设计規模躍昇。

## 結論與未來計畫

吳坤城處長表示，除了原本即優於同業的設計能力與經驗之外，良好的整合與管理是此專案能成功的重要關鍵。這也充分證明了：台灣業者能夠有能力執行複雜度更高、規模更龐大的設計。同時，隨著未來通訊市場對於大型晶片設計需求的日益成長，甚至朝十億閘級(Billion-Gate)邁進，看好潛在商機，智原將基於此3億閘SoC的成功設計經驗，持續投入佈署設計能量，以為更大規模的設計專案做準備。

同時，智原也深知，單靠設計服務業者本身的力量已經無法全然滿足客戶的需求。在此設計專案中，Cadence團隊提供的協助與支援，便扮演了重要角色。因此，未來智原更將強化與EDA業者和IP夥伴的合作關係，以期能攜手挑戰並克服更艱鉅的設計任務。



Cadence Design Systems enables global electronic design innovation and plays an essential role in the creation of today's electronics. Customers use Cadence software, hardware, IP, and expertise to design and verify today's mobile, cloud and connectivity applications. [www.cadence.com](http://www.cadence.com)

© 2013 Cadence Design Systems, Inc. All rights reserved. Cadence, the Cadence logo, Encounter, First Encounter, Incisive, and Sigrity are registered trademarks of Cadence Design Systems, Inc. All others are properties of their respective holders. 1702 11/13 CY/LX/PDF